

TD2: archi.

Exercice 1.

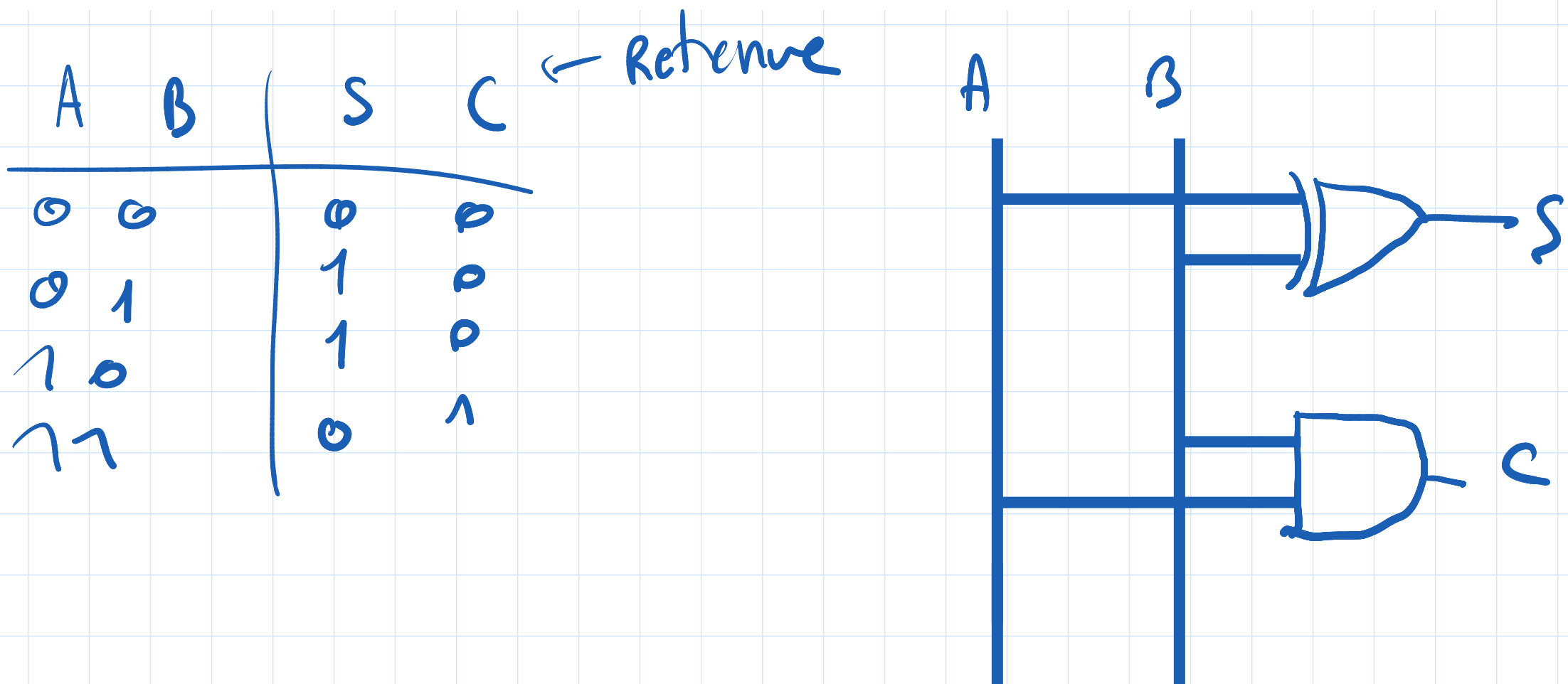
Réalisation d'un additionneur/soustracteur (portes logiques disponibles : AND, OR, NOT, XOR) *

rappel sur la soustraction et l'addition en binaire <https://youtu.be/kgw5tCE2nPA?si=jsmDVWkf-jz8sliM>

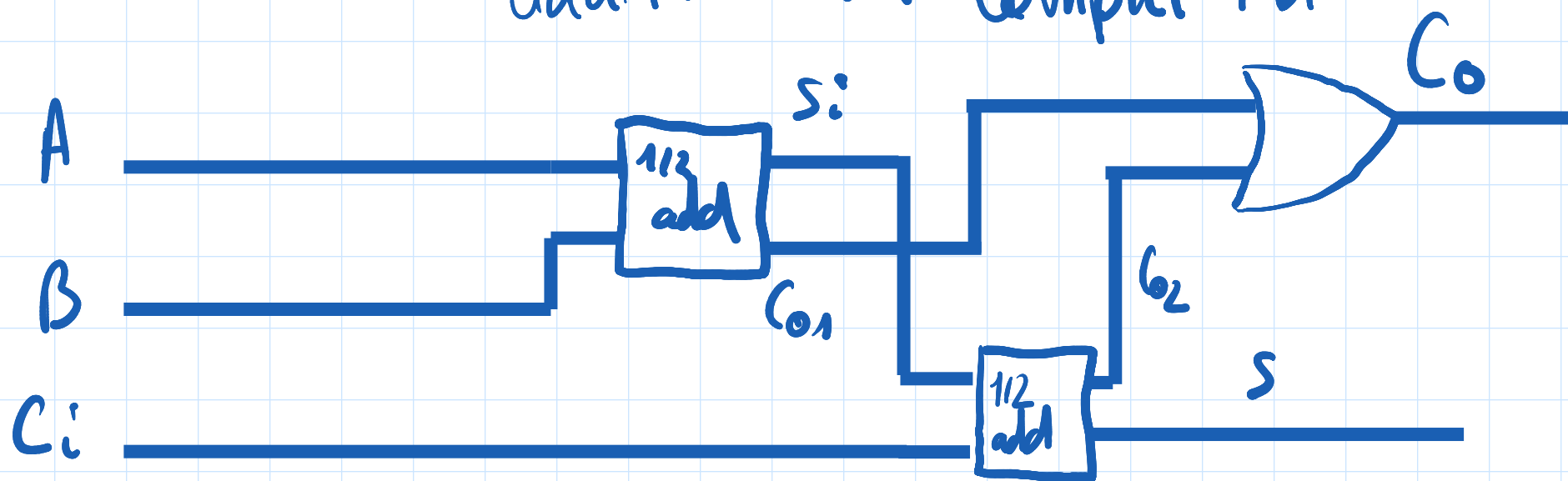
0. redessiner le demi additionneur et l'additionneur 1bit vu en cours.

1. Réaliser un demi-soustracteur (1 bit A avec 1 bit B sans retenue d'entrée) : – Ecrire la table de vérité. – Donner les équations de sortie. – Etablir le schéma logique.
2. En comparant le circuit du demi-soustracteur avec celui d'un demi-additionneur, concevoir le plus simplement possible un circuit, appelé demi-additionneur/soustracteur, qui à partir d'un signal de commande C et des entrées A et B, simule le demi-additionneur sur A et B lorsque la commande C est à 0, et le demi-soustracteur sur A et B lorsque la commande C est à 1 (suggestion : appliquer le signal de commande à une des entrées d'une porte XOR).
3. A partir du demi-additionneur/soustracteur qui vient d'être réalisé, concevoir un additionneur/soustracteur complet (1 bit A avec un bit B avec retenue d'entrée).
4. Donner le schéma d'un additionneur/soustracteur quatre bits par quatre bits.

0.

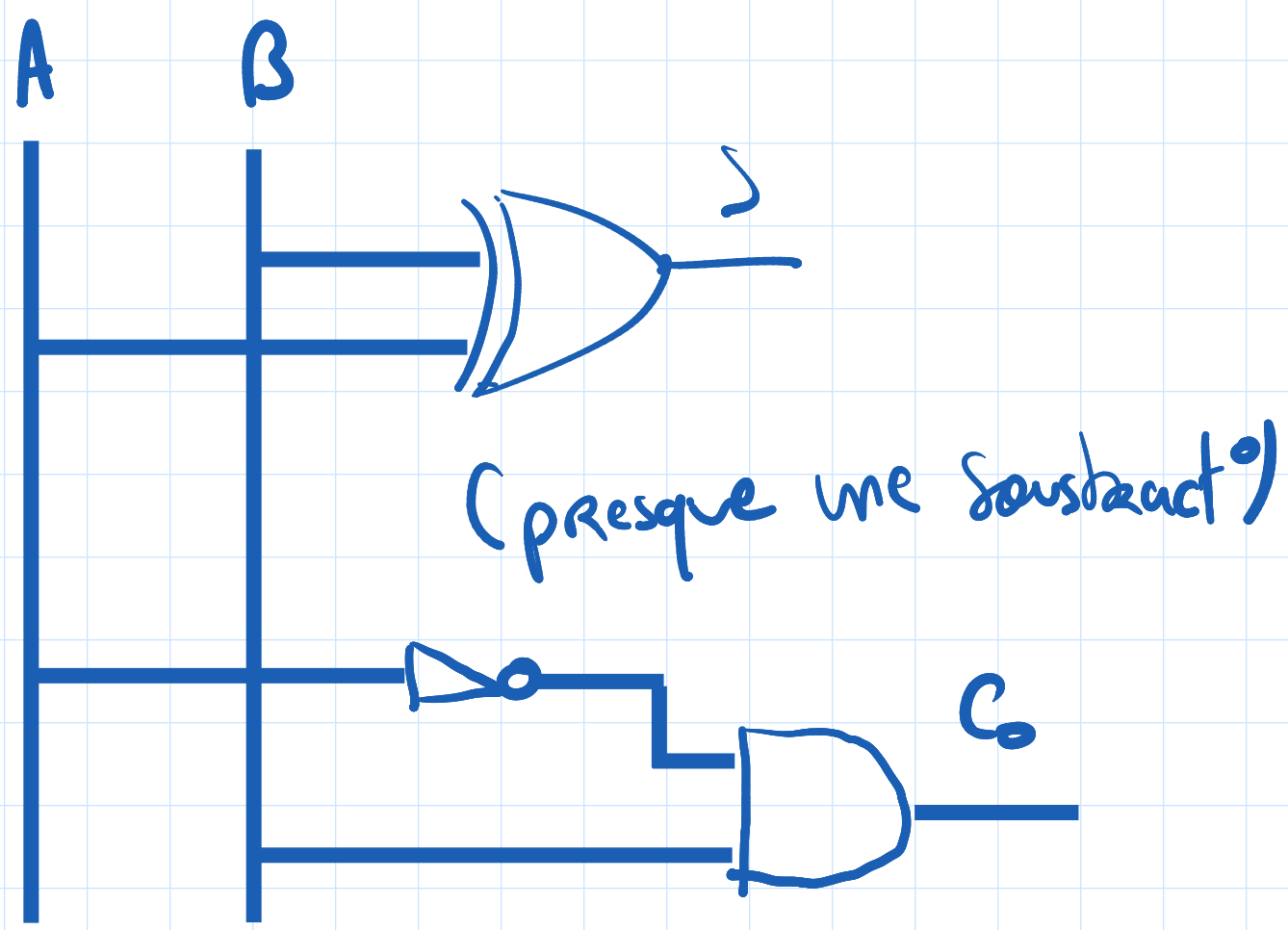


additionneur complet 1 bit

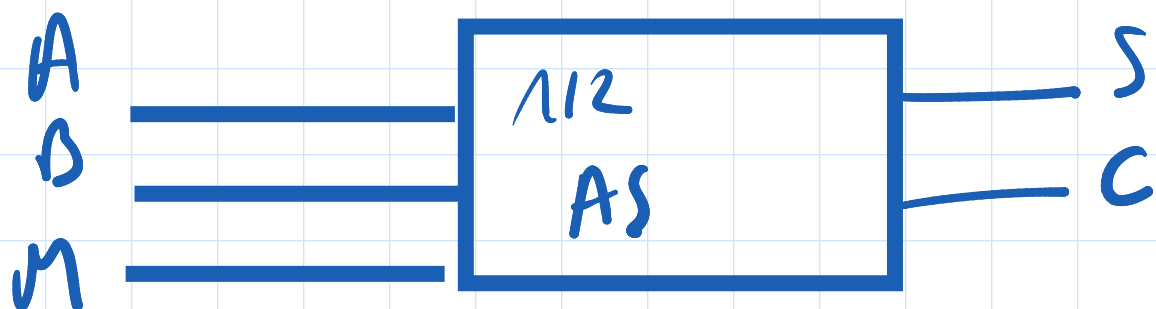


1.

A	B	S	C	$S = A \oplus B$	$C = A \cdot B$
0	0	0	0		
0	1	1	0		
1	0	1	0		
1	1	0	1		



On veut faire un 1/2 add-sub avec une entrée M pour le mode.



A	M	S
0	0	0
0	1	1
1	0	1
1	1	0

